

논문 2022-1-9 <http://dx.doi.org/10.29056/jsav.2022.06.09>

계층적 설계 회로의 실시간 시각적 디버깅 방안 연구

기장근*†, 권기영*

A Study on the Real-Time Visual Debugging of Hierarchically Designed Logic Circuits

Jang-Geun Ki*†, Kee-Young Kwon*

요 약

5G 무선통신, 초고속 인터넷과 같은 정보통신망과 스마트 폰을 비롯한 다양한 개인 휴대용 단말기 등의 급속한 발전과 보급으로 인해 사회 전반에 걸쳐 다양한 변화가 일어나고 있으며, 교육 분야의 경우 대표적인 오프라인 교육 방식의 실험 실습 교과목에서도 온라인상의 가상 실험 실습 등을 통한 교육이 시도되고 있다. 이러한 온라인 교육에서 교육적 효과를 높이기 위해서는 다양한 콘텐츠 개발과 더불어 가상 실험 실습 과정의 시각적 결과 확인 방법이 반드시 필요하다. 본 논문에서는 계층적 디지털 논리회로 설계시 원하는 계층의 회로 동작을 실시간으로 시각을 통해 확인할 수 있는 회로 시뮬레이터 구현에 관해 기술하였다. 개발된 회로 시뮬레이터는 객체기반 프로그래밍 기법과 이벤트 전파 방식을 이용해 각 계층의 논리회로 소자들을 실시간으로 동작시키고 그 결과를 화면에 표시토록 함으로써 회로 동작을 시각적으로 확인 가능하도록 설계되었으며, 다양한 계층적 설계 회로의 적용을 통해 그 유용성을 검증하였다.

Abstract

Rapid changes have been taking place throughout society due to the development and deployment of various personal mobile portable terminals and communication networks such as 5G wireless communication and high-speed Internet. In the case of education field, learning through online virtual experiment is also being attempted in experimental subjects, which were representative offline education subjects. In order to increase the educational effect in such online education, it is essential to develop various contents and check visually the results of virtual experiments. This paper describes the implementation of a circuit simulator that enables real time visual confirmation of the circuit operation of the desired layer when designing a hierarchical digital logic circuit. The developed simulator was designed to visually confirm the operation of the circuit by operating circuit elements of each layer in real time using object-oriented and event-driven programming techniques and displaying the results on the screen, and its usefulness was verified by applying various hierarchical design circuits.

한글키워드 : 계층적 설계, 논리회로, 시뮬레이션, 시각적 디버깅, 공학교육

keywords : hierarchical design, logic circuit, simulation, visual debugging, engineering education

* 공주대학교 전기전자제어공학부

† 교신저자: 기장근(email: kjg@kongju.ac.kr)

접수일자: 2022.06.02. 심사완료: 2022.06.16.

게재확정: 2022.06.20.

1. 서 론

최근 전기전자공학 분야는 전 산업 분야에 걸쳐 다양한 형태로 융합되어 많은 영향을 미치고

있으며, 한 예로 최근 이슈가 되고 있는 자동차 산업에서의 반도체 부족 현상으로 인한 어려움을 들 수 있다[1]. 이와 같은 전기전자공학 분야에서 설계되는 전자 회로들은 디지털 기술의 급속한 발전으로 과거의 많은 전통적인 아날로그 회로들 뿐만 아니라 대부분의 주요 회로들이 디지털 회로로 설계되고 있는 추세이다. 따라서 이 분야에 필요한 인력을 양성하기 위해 대학 교육에 있어서도 디지털 논리회로 설계 관련한 보다 효율적인 교육 방법이 필요하다. 과거에는 전통적인 대면 방식의 실험 실습 등을 통해 회로를 설계하고 제작하여 동작을 확인하는 과정을 거쳤으나 이러한 방법은 많은 시간적, 공간적, 물질적 제약을 야기한다. 이러한 문제점을 해결하기 위해 고성능의 컴퓨터와 휴대용 이동단말, 초고속 인터넷 통신망과 클라우드 서비스 등의 최첨단 기술을 이용한 온라인 교육에 대한 수요가 증가하고 있다. 특히 최근의 COVID-19의 영향으로 급격히 변화된 사회적 환경으로 인해 이러한 비대면 온라인 교육 수요는 한층 증가되고 있으며, 앞으로 다시 대면 환경의 교육으로 돌아오더라도 다양한 형태[2-11]의 온라인 비대면 교육에 대한 수요는 지속될 전망이다.

본 논문에서는 전기전자공학 분야의 입문 교과목인 디지털 논리회로설계 교육에서 가상 실험 도구로 활용할 수 있는 논리회로설계 시뮬레이터를 개발하였다. 개발된 시뮬레이터는 기존의 시뮬레이터들과는 달리 설계에 사용되는 모든 회로 소자들을 객체로 모델링하고 객체에서 발생하는 이벤트들을 실시간으로 객체간에 전파되게하여 회로를 동작시키도록 구성하였고, 대부분의 전문적인 설계 도구들이 지원하지 않는 시각적 소자들을 지원하여 계층구조의 회로 설계시 원하는 각 계층의 회로 동작을 별도의 창에서 실시간으로 다양한 시각적 소자 등을 사용해 확인할 수 있도록 구현하였다.

본 논문의 구성은 다음과 같다. 1장 서론에 이어 2장에서는 본 논문에서 개발된 디지털 논리회로 시뮬레이터의 특징 및 구현에 관해 기술하고 3장에서는 개발된 시뮬레이터의 유용성 검증을 위해 다양한 회로설계 적용 예를 보이고, 4장에서 결론 및 기대효과를 기술한다.

2. 계층적 논리회로 설계 및 계층별 실시간 디버깅

현재 디지털 논리회로 설계를 위한 수많은 도구들이 시중에 나와 있으며, 특히 FPGA 분야의 경우 Intel, AMD Xilinx, Cadence, Synopsys 등의 도구[12-19]들은 각각의 장점과 특성을 내세워 전문적인 고급 디지털 회로 설계 기능들을 가지고 있다. 그러나 대부분의 이러한 도구들은 대학에서 처음 논리회로 설계를 접하는 저학년 학생들이 사용하기에는 오히려 비효율적인 측면이 많이 있다. 예를 들어 도구를 구입하기 위한 고비용, 기본적인 설계 개념을 익히기 위해 필요한 간단한 사용 절차 대신 초보자는 접근하기 어려운 전문적인 설계를 위한 수많은 복잡하면서도 사용하기 어려운 기능 및 사용절차 등으로 인해 디지털 논리회로 설계 분야에 대한 입문 학생들의 관심과 흥미를 오히려 저하시키는 문제점을 가지고 있다.

따라서 본 논문에서는 전기전자제어공학 전공 분야의 저학년 대학생들이 논리회로설계 기초과목의 입문용으로 사용될 수 있는 효율적인 회로 설계 도구에 관해 기술하였다. 본 논문에서 개발된 논리회로설계 도구는 모듈화된 계층적 회로 설계 방식을 지원하며, 특히 전체 회로 시뮬레이션시 실시간으로 원하는 계층의 회로 동작을 시각적으로 확인할 수 있도록 다양한 시각적 효과를 갖는 여러 실소자 및 가상소자 사용이 가능하

도록 구현되었다.

본 논문에서 개발된 디지털 논리회로 시뮬레이터는 다른 시뮬레이터들과는 달리 회로 설계에 사용되는 모든 소자들과 연결 선들을 객체로 모델링 하였으며, 소자 또한 입력 핀 객체 및 출력 핀 객체, 그리고 이들을 포함하는 소자 본체 객체 등으로 세분화 모델링되어, 한 소자의 값 변화 이벤트가 연결되어 있는 다른 소자로 실시간 전파되어 가는 객체지향형 모델링 기법을 적용하였다.

실제 본 논문에서 개발된 회로 시뮬레이터는 회로 구성에 사용되는 모든 소자들을 설계 창에 나타낼 때 각 소자들 클래스로부터 객체를 만들어 그 객체들이 스스로의 위치정보를 바탕으로 화면에 모양을 나타내는 객체 지향형 모델링이 되어 있다. 따라서 새로운 설계 창에 특정 사용자 심볼의 내부 회로를 나타내는 경우 상위계층을 보여주는 설계 창의 이벤트가 사용자 심볼 내부 회로를 보여주는 설계 창으로 전달될 필요가 있다. 본 논문에서는 이를 효율적으로 달성하기 위해 사용자 심볼을 보여주는 새로운 창이 열릴 때 일단 사용자 심볼 파일 정보로부터 회로를 구성하는 정보를 얻고 이를 바탕으로 각 심볼 객체들을 생성하여 회로 전체를 구성한 후, 이 회로의 입력 심볼과 출력 심볼을 상위계층 설계 창에 있는 사용자 심볼의 입력 핀과 출력 핀 객체로 대치시킴으로써 상위계층 이벤트가 사용자 심볼 내부 회로로 실시간 전달되도록 하였다. 이렇게 함으로써 사용자 심볼 내부 회로를 표시하는 설계 창에서도 이벤트 전파에 따른 값들의 변화를 실시간으로 볼 수 있게 된다.

3. 실험 및 기능 검증

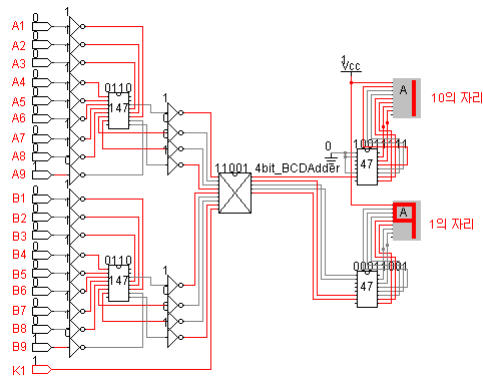
본 절에서는 본 논문을 통해 개발되고 구현된

논리회로 시뮬레이터에서 계층별 회로의 실시간 시각적 디버깅 기능 지원 동작 검증을 위해 수행된 다양한 실험에 관해 기술하였다.

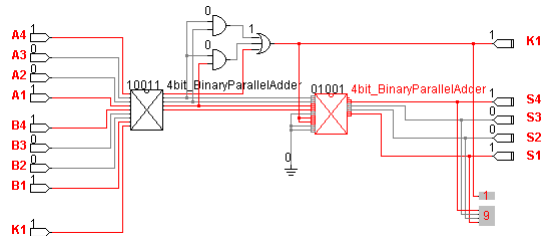
그림 1(a)에 본 논문에서 개발된 디지털 논리회로 설계 및 시뮬레이션 도구를 사용해 설계한 BCD 덧셈기 회로에서 $9 + 9 + 1$ (자리올림)을 계산하는 시뮬레이션 순간을 캡처해 나타내었다. 그림 1(b)에는 그림 1(a)의 중앙에 있는 BCD 덧셈기 회로 사용자 심볼(내부에 대각선이 그려진 소자 )을 더블클릭했을 때 새로운 설계 창에 나타나는 내부 회로를 보여주고 있으며, 그림 1(c)와 그림 1(d)는 그림 1(b)에 사용된 또 다른 사용자 심볼(4비트 이진 병렬가산기 회로) 2개의 내부 회로 동작을 보여주고 있다. 그림 1(c)는 그림 1(b)의 왼쪽 사용자 심볼 내부 회로 동작을 나타내고 있고, 그림 1(d)는 그림 1(b)의 오른쪽 사용자 심볼 내부 회로의 동작을 나타내고 있다.

시뮬레이션 모드에서 그림 1(a) 좌측의 A1~A9 와 B1~B9 입력 심볼()을 클릭하면 연결된 74147(10-line-to-4-line BCD Priority Encoder) 칩 소자에 의해 4자리의 해당 2진수를 BCD 덧셈기 회로(회로 중앙의 대각선이 그려진 회로심볼)에 입력할 수 있으며, 좌측 하단 K1 입력단자는 밑자리에서 올라오는 자리올림을 의미한다. 현재 그림 1(a)는 $9 + 9$ 와 밑에서 올라오는 자리올림 1을 합산한 결과를 표시하고 있다. 그림 1(a)의 회로도 중앙에 있는 대각선(X마크)이 그려진 사각형 소자는 하위계층 회로를 포함하고 있는 사용자 심볼이며, 이 심볼을 마우스로 더블클릭하면 그림 1(b)와 같이 새로운 창에 4비트 BCD 덧셈기 내부 회로도 가 보여진다.

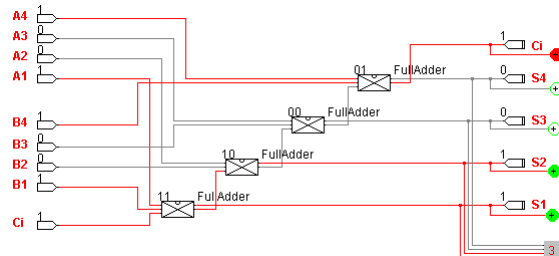
그림 1(b)의 BCD 덧셈기 내부 회로는 4비트 이진 병렬가산기 2개(내부에 대각선이 그려진 사용자 심볼 2개)를 사용하여 구성하였으며, 왼쪽 첫 번째 이진 병렬가산기를 이용해 먼저 2개의 BCD 입력값을 단순 이진수 합산하도록 한 후,



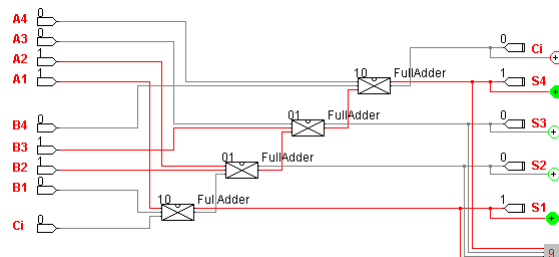
(a) 최상위 계층 BCD 덧셈회로
(a) Top level BCD adder circuit



(b) 4비트 BCD 덧셈기
(b) 4-bits BCD adder



(c) 4비트 이진병렬 가산기(단순 이진 덧셈용)
(c) 4-bits binary adder(for binary addition)



(d) 4비트 이진병렬 가산기(BCD 보정용)
(d) 4-bits binary adder (for BCD conversion)

그림 1. BCD 덧셈회로의 계층적 회로 설계

Fig. 1. Hierarchical circuit design for BCD addition

오른쪽 두 번째 이진 병렬가산기를 사용하여 단순 합산 결과 값이 10 이상일 때는 추가로 6을 더하도록 구성하여 단순 이진수 합산 결과를 BCD 수로 변환하였다.

일반적으로 복잡한 기능의 대규모 논리회로 설계시 top-down 또는 bottom-up 방식의 설계를 사용할 수 있다. 본 논문에서 개발된 시뮬레이터는 bottom-up 방식의 설계를 지원하고 있으며, 원하는 하위계층 회로를 설계한 후 이 회로를 저장하기 위한 사용자 심볼 생성 버튼을 눌러 주면 자동으로 회로내 입력 심볼(□)과 출력 심볼(□)을 추출하여 이들을 각각 입력과 출력 핀으로 하는 사용자 심볼(⊠)을 만들어주는데 이때 입력 심볼은 사용자 심볼의 왼쪽에 입력 핀 형태로, 출력 심볼은 사용자 심볼 오른쪽에 출력 핀 형태로 자동으로 배열된다. 이와 같이 회로에 그려진 입력 심볼과 출력 심볼을 입출력 핀으로 하는 사용자 심볼은 해당 회로설계에 사용된 나머지 모든 소자에 대한 정보와 선 연결 정보를 파일로 저장한다. 이렇게 저장된 사용자 심볼은 상위계층 회로 설계시 일반적인 다른 소자들과 마찬가지로 필요할 때마다 회로 구성에 사용할 수 있다. 회로 시뮬레이션 도중 회로 구성에 사용된 사용자 심볼의 내부회로 동작을 보고자 할 때는 사용자 심볼을 마우스로 더블클릭하면 새로운 창에 내부 회로가 나타나며 상위계층의 회로 동작과 연결되어 실시간으로 내부 회로의 변화가 화면에 반영되어 나타난다. 즉 설계 창에 그려진 회로도에서 각 소자의 좌측 상단에 각 소자의 출력값이 실시간으로 표시되고 소자들을 연결하는 선들은 논리값에 따라 다른 색으로 선이 그려진다. 또한 사용자가 원할 경우 회로에 시각적 디스플레이 소자(LED, 7-세그먼트 등)를 포함시킬 수도 있고, 본 시뮬레이터에서 제공하는 DISplay라고 하는 가상소자(0)를 이용해 회로의 여러 지점 값들을 모아 10진수나 16진수로 변환해 시

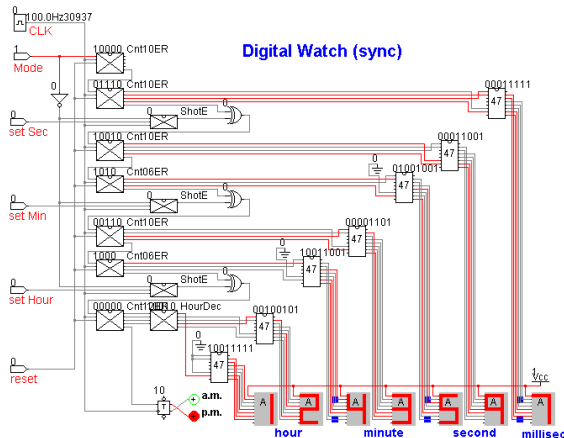
각적으로 값을 볼 수 있다. DISplay 가상소자는 생성시 사용자가 원하는 입력 비트 수를 지정해 줄 수 있으며, 이 입력 핀들을 통해 들어오는 이진수 값을 10진수 또는 16진수로 변환해 표시해주는 가상소자이다. 이와 같은 시각적 소자들의 사용 예는 그림 1(a)의 우측에 그려진 7-세그먼트, 그림 1(b) 우측 하단에 그려진 1비트 또는 4비트 DISplay 소자, 그림 1(c)와 그림 1(d)의 우측에 그려진 다양한 색상의 LED 등에서 볼 수 있다.

그림 1 회로들의 실시간 동작을 확인하기 위해 시뮬레이션 모드에서 회로 설계자가 최상위 회로인 그림 1(a) 회로의 입력 심볼을 마우스로 클릭하여 토글 시키면 입력 심볼의 출력 값을 실시간으로 1 또는 0으로 바꿀 수 있으며, 이러한 출력 값의 변화는 선으로 연결된 다른 소자들의 입력 핀으로 전달되고, 이 입력 핀을 포함하고 있는 회로 심볼들은 입력값 변화에 따른 해당 기능코드를 수행한 후, 필요한 경우 출력 핀의 값을 변경한다. 이러한 출력 핀의 값 변화는 선으로 연결된 다음 소자로 전파되어 전체 회로가 실시간으로 동작하게 된다. 사용자 심볼의 경우에도 다른 소자들과 마찬가지로 입력 핀의 값 변화가 일어나면 내부 기능코드를 수행해 필요한 경우 내부 상태 값과 출력 핀의 값을 변화시키는데, 일반 단순 소자와는 달리 사용자 심볼의 내부 기능코드는 사용자 심볼을 구성하는 모든 내부 소자들의 기능 및 연결 관계를 추적하여 값 변화를 기록한다. 만일 사용자 심볼의 내부 회로를 표시하는 설계 창이 열려있는 경우에는 이들 값들의 변화가 설계 창에 표시되게 되며 따라서 시각적인 회로 디버깅이 가능하게 된다.

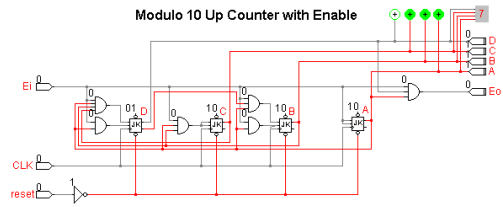
본 논문에서 개발된 시뮬레이터에서 사용되는 모든 소자들의 출력값은 출력값 보기 버튼을 이용해 원할 때마다 실시간으로 확인 가능하며, 표시를 활성화하면 각 소자의 왼쪽 상단에 출력 핀

들의 값들이 숫자로 나타난다. 또한 전문적인 회로설계 도구들에서는 지원되지 않는 LED나 7-세그먼트와 같은 실소자 및 DISplay 가상소자 등의 다양한 시각적 소자들을 지원하고 있으며, 객체로 모델링된 각 소자들에서 발생하는 이벤트들이 실시간으로 전파되는 형태로 시뮬레이션이 이루어지기 때문에 시각적 실시간 회로 디버깅이 가능하고 사용자들의 흥미와 관심을 유발할 수 있어 교육적 효과를 높일 수 있을 것으로 기대된다.

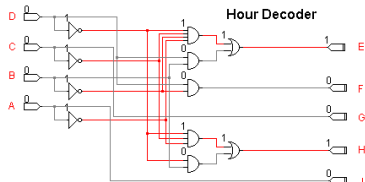
그림 2에는 또 다른 계층적 순차회로 설계의 예로 사용자 심볼을 사용한 디지털시계 회로를 나타내었다. 그림 2(a)의 회로는 10분의 1초 단위까지 시간을 보여주는 디지털 시계 회로이며, 시뮬레이션 모드에서 화면 좌측 상단에 있는 100MHz 클럭 소자를 마우스로 더블클릭하면 자동으로 100MHz 클럭 신호가 발생되어 회로에 공급된다. 클럭 소자 바로 아래의 Mode 입력 심볼은 마우스로 클릭하여 값을 1 또는 0으로 토글시킬 수 있으며, 모드가 1인 경우는 시계가 클럭에 따라 정상적으로 동작하고, 모드가 0인 경우는 시간설정 모드로서 좌측에 나열되어 있는 set Sec, set Min, set Hour, reset 입력심볼을 마우스로 클릭해 원하는 시간을 설정할 수 있다. 그림 2(b)는 그림 2(a) 시계 회로를 구성하는 10진 카운터들중 10분의 1초 millisec 값을 나타내는 카운터의 내부 회로를 보여주고 있으며, 그림 2(c)는 시간을 나타내는 12진 카운터의 이진수 출력 0000~1011(십진수 0~11) 값을 입력으로 받아 2자리 BCD 숫자로 표시하기 위한 디코더 내부 회로를 보여주고 있으며, 이 디코더의 출력을 7447 칩에 연결해서 7-세그먼트를 구동하도록 회로를 구성하였다. 디지털시계를 설계한 그림 2의 순차회로에서도 본 논문에서 개발한 계층적 설계를 위한 사용자 심볼이 정상적으로 동작하고 또한 사용자 심볼 내부 회로에서의 값 변화를 실시간으로 보여주고 있음을 알 수 있다.



(a) 최상위 계층 디지털 시계 회로
(a) Top level digital watch circuit



(b) 1/10초 10진 카운터
(b) 1/10 sec modulo-10 counter



(c) BCD 시간 표시를 위한 디코더
(c) decoder for hour BCD display

그림 2. 디지털 시계의 계층적 회로 설계

Fig. 2. Hierarchical circuit design for digital watch

4. 결 론

5G 무선통신 및 초고속 인터넷 망의 발전, 스마트 폰을 비롯한 다양한 휴대용 개인 단말기들의 급속한 발전 등으로 인해 사회 전반에 걸쳐 많은 변화가 일어나고 있으며, 교육 관련 현장에

서도 다양한 교육 방법에 대한 급속한 변화를 실감하고 있다. 특히 전통적인 대면수업과 실험실습을 통해 교육이 이루어져 왔던 공학 계열의 대학에서도 기존의 오프라인 수업에서 벗어나 다양한 형태의 온라인 수업이 이루어지고 있고 이에 따라 온라인상에서 활용될 수 있는 다양한 콘텐츠들이 요구되고 특히 실험 실습을 대체할 수 있는 효과적인 방안 마련이 필요하게 되었다.

공학 분야 중 전기전자공학 분야의 경우 다른 많은 산업 분야와 직간접적으로 융합되어 활용범위가 계속 넓어지고 있는 추세이다. 이러한 전기전자공학 분야에서 기본적으로 학습해야 하는 디지털 논리회로 설계 분야의 경우 다양한 전문적인 설계 도구들이 나와 있으나 대부분의 이런 도구들은 매우 전문적인 고수준의 설계 도구로서 사용법이 매우 복잡하고, 고성능의 컴퓨터를 요구하며, 상당한 도구 구입 비용도 요구된다. 따라서 대학에서 논리회로설계 입문 과정에서 필요로 하는 원리적 개념의 간단한 이해와 회로의 논리적 동작 확인 등에 적용하기에는 적합하지 않은 문제점이 있다.

본 논문에서는 전기전자제어공학 전공 분야 입문 학생들이 논리회로설계 기초과목의 실습도구로 사용할 수 있는 효율적인 회로설계 도구를 개발하였다. 본 논문에서 개발된 논리회로설계 도구는 모듈화된 계층적 회로 설계 방식을 지원하며, 특히 전체 회로 시뮬레이션시 실시간으로 원하는 계층의 회로 동작을 시각적으로 확인할 수 있도록 객체지향과 실시간 이벤트 전달 방식의 프로그래밍 기법이 적용되었으며, 시각적 효과를 갖는 소자 사용이 가능하도록 구현되었다.

본 논문에서 개발된 디지털 논리회로 시뮬레이터는 다른 시뮬레이터들과는 달리 회로설계에 사용되는 모든 소자들과 연결선들이 객체 지향형 프로그래밍 언어를 이용해 객체로 모델링되었고, 소자 또한 입력 핀 객체 및 출력 핀 객체, 그

리고 이들을 포함하는 소자 본체 객체 등으로 모듈화 모델링되어, 한 소자의 값 변화 이벤트가 연결되어 있는 다른 소자로 실시간 전파되어 가도록 설계되었다. 구현된 논리회로 시뮬레이터에서 계층별 회로의 실시간 시각적 디버깅 기능 지원 검증을 위해 다양한 조합 및 순차회로 설계에의 적용 실험을 통해 그 유용성을 검증하였다.

본 논문에서 구현된 시각을 활용한 계층적 회로 설계 지원 기능을 사용하면, 계층적 회로 설계시 회로 디버깅 과정에서 시각적 효과를 활용하여 여러 계층 회로들의 동작을 동시에 확인함으로써 학생들의 관심과 흥미를 유발하고 논리회로설계 및 동작 검증을 보다 간편하고 쉽게 할 수 있을 것으로 기대된다.

참 고 문 헌

- [1] 이미혜, “2020 이슈보고서 : 시스템반도체산업 현황 및 전망”, 한국수출입은행 해외경제연구소 뉴딜산업 분석보고서, VOL.2020-이슈-26, 2020. 12. <https://keri.koreaexim.go.kr/comm/getFile?srcId=BBSTY1&upperNo=63492&fileTy=ATTACH&fileNo=1>
- [2] Brika Said Khalfa Mokhtar, Chergui Khalil, Algandi Abdelmageed, Musa Adam Ahmed, Zouaghi Rabia, “E-Learning Research Trends in Higher Education in Light of COVID-19: A Bibliometric Analysis”, *Frontiers in Psychology*, Vol.12, March 2022. DOI: 10.3389/fpsyg.2021.762819
- [3] M. R. M. Veeramanickam, M. Mohanapriya, “Research paper on E-Learning application design features: Using cloud computing & software engineering approach”, 2016 International Conference on Information Communication and Embedded Systems (ICICES), 2016, pp. 1-6, doi: 10.1109/ICICES.2016.7518886.
- [4] Graham Glass, “4 E-Learning Trends to Watch Out for in 2022”, March 21, 2022. <https://oeb.global/oeb-insights/4-e-learning-trends-to-watch-out-for-in-2022/>
- [5] 이고은, “코로나19 이후 비대면 교육 트렌드 변화”, *Weekly KDB Report*, KDB미래전략연구소, pp.9-11, 2020.05.18. <https://rd.kdb.co.kr/fileView?groupId=9835F18F-9447-77FF-EFD2-73D173242857&fileId=A7B1561F-8131-B274-112D-DE1BC9728C44>
- [6] 산업통상자원부, “제4차 이리닝산업 발전 및 이리닝 활용 촉진 기본계획(2022~2024)”, 2021.12. <https://www.korea.kr/common/docViewer.do?fileId=196608254&tblKey=GMN>
- [7] 이지혜, “가상현실 기반교육 활성화 방안에 관한 연구”, *한국디자인문화학회지*, vol.25, no.1, pp.357-366, 2019. ISSN 1598-6497
- [8] Rachel Grieve, Christine R. Padgett, Robyn L. Moffitt, “Assignments 2.0: The role of social presence and computer attitudes in student preferences for online versus offline marking”, *The Internet and Higher Education*, Vol. 28, pp.8-16, Jan. 2016. <https://doi.org/10.1016/j.iheduc.2015.08.002>
- [9] Stefan Hrastinski, “What Do We Mean by Blended Learning?”, *TechTrends* 63, pp.564-569, 2019. <https://doi.org/10.1007/s11528-019-00375-5>
- [10] Flipped Learning Network, “Definition of Flipped Learning”, March 12, 2014. <https://www.flippedlearning.org/definition>
- [11] Noora Hamdan, Patrick McKnight, Katherine McKnight, Kari M. Arfstrom, “Review of Flipped Learning”, Aug. 2013. <http://dx.doi.org/10.4236/ce>.
- [12] Intel Quartus, <https://fpgasoftware.intel.com/>, 2022
- [13] Xilinx, <https://www.xilinx.com/>, 2022
- [14] Cadence, <https://www.cadence.com/>, 2022
- [15] Synopsys, <https://www.synopsys.com/>, 2022
- [16] Proteus, <https://www.labcenter.com/>, 2022
- [17] Autodesk, Inc., <https://www.tinkercad.com/>, 2022

- [18] Microchip, <https://www.microchip.com/>, 2022
[19] Lattice Semiconductor, <https://www.latticesemi.com/>, 2022

저 자 소 개



기장근(Jang-Geun Ki)

1986.2 고려대학교 전자공학과 졸업
1988.2 고려대학교 전자공학과 석사
1992.2 고려대학교 전자공학과 박사
2002.6-2003.6, 2010.6-2011.8, 2016.8-2017.8
Univ. of Arizona 방문교수
1992.3-현재 : 공주대학교 공과대학 전기전
자제어공학부 교수
<주관심분야>통신프로토콜, 이동통신시스템



권기영(Kee-Young Kwon)

1981.2. 고려대 전자공학과 졸업
1983.2. KAIST 전기및전자공학과 석사
1988.2. KAIST 전기및전자공학과 박사
1988.3.-1991.2 (주)삼성전자 기흥 반도체연
구소 선임연구원
1991.3.-현재 공주대학교 공과대학 전기전
자제어공학부 교수
2000.3.-2001.2. Southern Methodist
University 방문교수
<주관심분야> 반도체, 광통신